

引用格式: 谢向阳, 陈铭易, 王国兴. 一种无线便携心电监测系统的双斜坡 ADC 的设计[J]. 微电子学与计算机, 2020, 37(4): 1-6. [XIE X Y, CHEN M Y, WANG G X. Design of a dual slope ADC for wireless monitoring of electrocardiography [J]. Microelectronics & Computer, 2020, 37(4): 1-6.]

一种无线便携心电监测系统的双斜坡 ADC 的设计

谢向阳, 陈铭易, 王国兴

(上海交通大学 电子信息与电气工程学院, 上海 200240)

摘 要: 本文提出了一种可以应用于低频低幅值生物电信号采集的片上集成的全差分双斜坡积分 ADC, 使用两个反积分参考电压扩大测量范围. 为了降低失调影响使用了输入失调存储的自动调零技术, 从降低功耗角度, 使用了动态比较器, 并通过控制动态比较器的工作时钟, 让其具有休眠模式和较短时间的工作模式, 更大程度地降低功耗. 本文的 12 bit 积分型 ADC 由 0.35 μm 工艺设计实现, 在 2 V 供电、6 MHz 时钟下, 采样率为 689.3 S/s, 功耗为 12 μW , 使用 Cadence Virtuoso 仿真得到其有效位数为 11.8 bit.

关键词: 双斜坡积分模数转换器; 全集成; 低功耗; 生物电

中图分类号: TN453

文献标识码: A

文章编号: 1000-7180(2020)04-0001-06

Design of a dual Slope ADC for wireless monitoring of electrocardiography

XIE Xiang-yang, CHEN Ming-yi, WANG Guo-xing

(School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: This paper presents a fully on-chip fully-differential dual-slope ADC that can be used for low frequency bioelectrical signal processing, it uses two anti-integrating reference voltage for wide range input. The auto-zero technique is applied to reduce the offset of op-amp. Dynamic comparator and well-designed clock timing controller of the comparator are used to save more power. The timing controller is set to let the comparator have sleeping mode and working mode. The proposed 12 bit dual-slope ADC is implemented in 0.35 μm CMOS process, the ADC has sampling rate of 689 S/s under 6MHz clock, working at 2 V supply voltage, the ADC consumes 6 μA current. Simulation result shows that the effective number of bits (ENOB) for the ADC is 11.8 bit.

Key words: Dual Slope ADC; Low Power; Fully on-chip; Bioelectricity

1 引言

大量研究表明, 心电信号在一定程度上能反映心脏及其内部各组织的生理状态, 从而作为心脏疾病和心血管疾病诊断的依据在医学上得到了广泛的应用, 而心电监测也从传统仪器向便携式发展. 本文就是关于一种无线供电的便携心电监测系统中相关电路的研究. 作为模拟信号与数字信号之间的桥梁,

ADC 是芯片中很重要的模块. 目前 ADC 的大量研究关注的是其分辨率、速度、面积开销等性能指标, 且已经非常成熟, 而随着近几年生物医疗植入、无线传感器网络等应用, 超低功耗的需求与研究也得到了更多的关注. 因为低功耗以及合适的中高分辨率的特性, 逐次逼近型 ADC (SAR ADC) 和双斜率 ADC (Dual Slope ADC) 成为低功耗生物医疗应用可能的选择. 在心电信号应用方面, 国际主流的心电

数据库像美国的 MIT-BIH、AHA 以及欧盟的 ST-T 都是 12 bit 的分辨率. 另外, 在已有的心电芯片研究中, 其 ADC 的分辨率都选择为 12 bit^[1] 从而保证在低电源电压下能对 1 V 以下幅值的心电信号进行分辨. 对于本文同样的 12 bit, 若采用 SAR ADC, 其面积开销以及功耗将会随着分辨率的提升而增大, 这是因为该结构需要的数模转换(DAC)电容阵列会随着分辨率曾指数增长^[2]. 为了降低阵列大小, 需要将电容阵列分离, 但是这些电容和单位电容往往匹配不是很好, 存在着失配的问题, 再加上寄生电容等因素, 这些都将恶化 ADC 的线性度, 同时如果不使用片上数字校准等技术, 失配也会影响到最终的有效位数^[3]. 另外, SAR 架构中的 DAC 电容阵列, 其中存在着大电容, 在转换时将产生很大的瞬态电流, 若不使用外部大电容进行处理, 将对本身就需要低功耗的芯片供电系统带来极大的压力, 而片外器件也不符合系统的高集成度要求. 同样是低功耗特性, 双斜率 ADC 通过时间量间接转换, 因其低速以及两次积分使用同一组 RC 的特点, 其分辨率可以很高而且其输出与恒定参考电压比较, 线性度高. 但是在低速下, 一次转换周期很长, 会带来更多的功耗.

本文提出了一种全差分结构的双斜率积分 ADC, 以满足低电压幅值的生物电信号采集, 并且通过使用动态比较器以及对其工作时钟的时序进行控制, 减少其工作时长, 有效降低了一次转换中比较器的功耗, 从而降低整体功耗.

2 双斜坡积分 ADC 的基本工作原理

双斜率 ADC 是积分型 ADC 中最常用的一种类型, 通过将输入模拟信号电压量转换为一定的时间量(由计数器记录的), 从而实现模拟量到数字量的间接转换. 双斜坡 ADC 的基本架构中包含了积分器、比较器以及数字控制模块, 其中的数字控制模块除了给出开关等的控制信号, 还包含了计数器并对量化的输入信号编码而输出相应的数字码.

双斜率积分 ADC 主要通过正反积分实现一次转换过程, 整个工作时序包括了信号采样、量化(通过积分和反积分将电压量转换为时间量)、编码(将计数结果按一定的编码方式输出)几大部分. 在积分反积分功能阶段, 如图 1, 开始积分时, 若 $V_{in} < V_{cm}$, 积分器输出在初始值基础上按照固定的斜率 $-(V_{in} - V_{cm})/RC$, (正值) 上升, 计数, 经固定时长 t_i ($t_i = N_{ref} * T = 2^N * T$, N 为分辨率) 停止计数, 开关切换至反积分, 按照斜率 $-(V_{ref} - V_{cm})/RC$, 负

值) 下降, 直至回到 V_{cm} 点, 比较器输出跳变, 停止计数, 积分反积分阶段积分器输出变化量相同, 由反积分的计数从而得到输入信号值为

$$V_{in} = \frac{N_{ref} + N_{out}}{N_{ref}} V_{cm} - V_{ref} \frac{N_{out}}{N_{ref}} \quad (1)$$

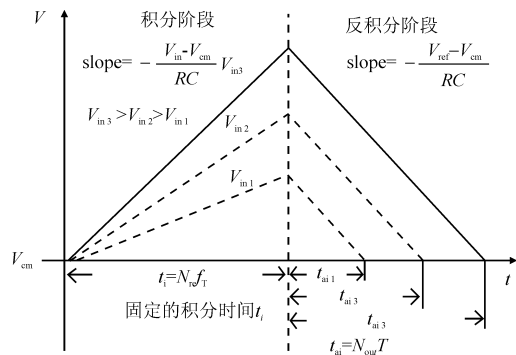


图 1 积分反积分功能

3 双斜率积分 ADC 架构说明

3.1 本文的 ADC 整体架构

本文根据心电信号处理芯片中模拟前端 AFE 的差分结构类型以及心电信号的特点, 提出了一种全差分结构的双斜坡积分 ADC, 能够与系统很好地融合, 同时利用差分形式的优点来减少或消除开关非理想性、比较器失调等带来的影响. 其具体结构如图 2, 模拟部分相比基本架构增加了采样保持电路 S/H, 数字部分包含了控制逻辑和计数器. 除了全差分结构的优势, 还使用了通过电容来存储失调电压并后续处理的自动调零 (Auto-Zeroing, AZ) 技术来进一步降低不可忽视的运放失调带来的影响. 在本文的双斜坡 ADC 中, 使用了两个反积分参考电压来扩大测量范围, 同时为了保证反积分阶段积分的正确性, 除了积分器后的主比较器, 还使用了一个比较器来判断输入信号的相对极性从而对反积分参考电压正确选择. 从降低一次转换的功耗角度, 使用了动态比较器以降低功耗, 同时对其时钟进行控制, 让比较器在休眠模式和短时(相对短的时间, 同时又足够完成比较)工作模式间切换.

3.2 本文的 ADC 工作过程

ADC 上电开始工作时, 为了消除失调, 首先进入自动调零阶段, 积分器的输出 V_{intp} 和 V_{intn} 也即主比较器的输入将等于电压 V_{cm} . 同时, 计数器清零, 采样保持电路开始工作, 进行一次采样. 在采样稳定之后, 工作阶段时序控制辅助比较器的时钟 clk_c 跟随系统主体时钟 clk , 辅助比较器开始工作, 其输出为判断信号 $judge$ 即输入信号的相对极性. 之后

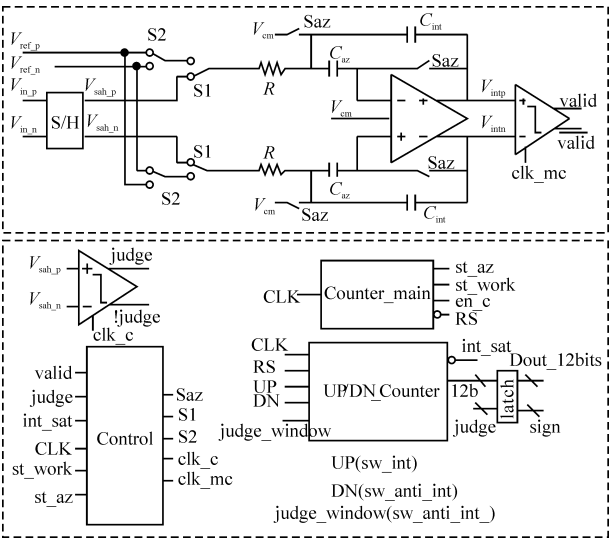


图 2 双斜坡积分型 ADC 结构框图

通过两路选择器 S2 选择好相应的反积分参考电平.

正式开始积分计数时,int_sat 为高电平,此时主比较器的时钟 clk_mc 仍保持低电平,主比较器不工作.当积分计数至固定时长 $t_i = 2^N \times T$ (T 为一个时钟周期),int_sat 变为低电平,正积分结束,控制信号使得 S1 切换,积分器接入已经确定的反积分参考电平,进入反积分阶段.同时时钟 clk_mc 跟随主 clk,主比较器开始工作.若 judge 为高,表明 $V_{inp} > V_{inn}$,而此时 $V_{inp} < V_{inn}$,并且在主比较器开始工作的反积分阶段,两路积分输出以相异的斜率变化,在 V_{inp} 和 V_{inn} 各自返回到初始值时相当于过零,主比较器输出发生跳变,停止反积分.同时计数器停止计数,计数值随同相对极性的判断值 judge 一起输出,完成一次转换,等待下一个转换周期的到来.其关键工作时序如图 3.

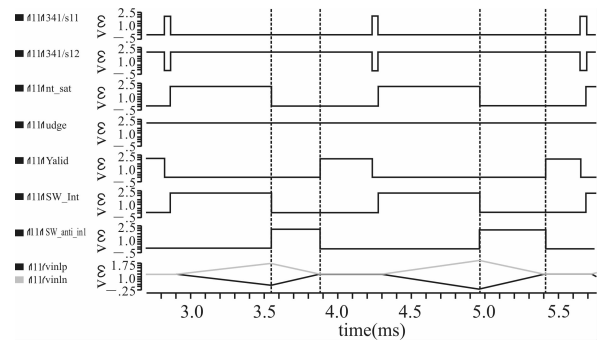


图 3 ADC 工作时序

4 电路设计

4.1 开关及采样保持电路

对于大部分模数转换器而言,采样都是一次转换中必不可少的步骤,采样保持电路作为最前级电

路,将影响 ADC 整体的性能.在当前主流的 CMOS 工艺下,最简单的采样电路无需运放,只由 MOS 开关的切换,从而将电压存储到电容上来实现,但这种结构往往并不能满足实际的高精度需求.在本文中使用了 CMOS 互补结构与虚拟器件结合的形式来减少 MOS 开关中时钟馈通和沟道电荷注入等非理想效应的影响,而采样开关的控制时钟使用互补时钟电路来产生,以保证延时最小,PMOS 和 NOMS 能同时动作,避免采样值的不确定性.单独的开关仿真其有效位数 ENOB 能接近 13 bit,满足需求.对于采样,本文采用了如图 4 的使用运放的电容翻转型全差分单位增益采样器结构,满足全差分使用环境,同时差动工作能减少 MOS 开关电荷注入带来的影响.

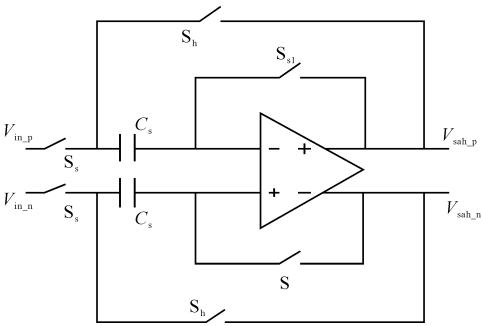


图 4 电容翻转型全差分单位增益采样器

在采样阶段,采样开关 S_s 和 S_{s1} 导通,运放处于单位增益负反馈模式,采样电容的下极板上的电压跟随输入信号变化,随后采样开关断开,保持开关 S_h 导通.切换时,通过时钟控制,让 S_{s1} 比 S_s 稍微提前断开,以减少开关 S_{s1} 的沟道注入电荷带来的偏移电压影响.随着 S_h 的导通,采样电容跨接到运放的输入输出端,运放处于放大状态,因其高增益,以及电容靠近运放输入端一侧的虚地,电荷必须守恒,输出端电压将近似等于电容左侧(也就是下极板)电压,也即采样阶段跟随的电压在进入保持模式时被冻结的值,实现 $V_{sa_p} = V_{in_p}$. 采样保持电路的性能仿真结果如图 5.

4.2 积分器

在双斜坡积分型 ADC 中,积分器是最核心的模块.积分输出的准确性是后续比较器正确判断的前提,在本文的 12 bit 分辨率下需要运放的增益足够高,至少为 80 dB.由于积分器运放的失调会影响积分器的输出,进而影响反积分结束的判断,并影响到最终的计数值和转换结果,而且在本次的 2 V 供电 12 bit 分辨率下,LSB 较小,结果更易受到干扰,

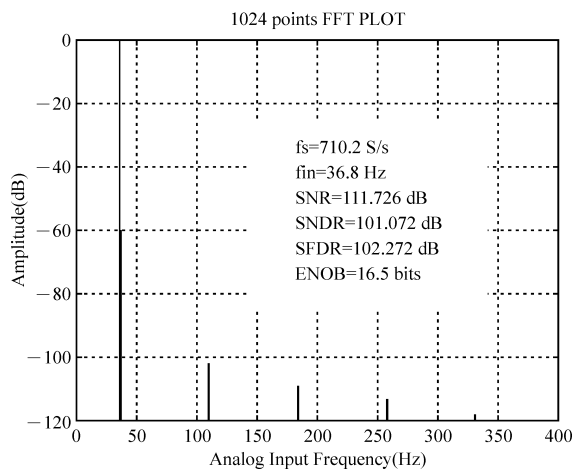


图5 采样保持电路的性能仿真

因此有必要对其进行消除. 本文使用输入存储失调技术来进行自动调零 (Auto-Zeroing, AZ) 从而消除失调影响.

本文的全差分电阻电容积分式积分器结合了 AZ 技术, 其结构如图 6 所示. 在 ADC 工作的自动调零阶段, 开关 S_{az} 导通, 运放进入单位增益负反馈模式, 失调电容一端接到固定电平, 一端和积分器运放的输入输出相连, 运放的输入失调电压被存储在电容 C_{az} 上. 进入积分阶段, 开关 S_{az} 断开, 运放处于放大工作模式, 存储的电压不会改变, 参与到积分过程, 失调电压因为运放的高增益而被衰减, 从而有效降低影响.

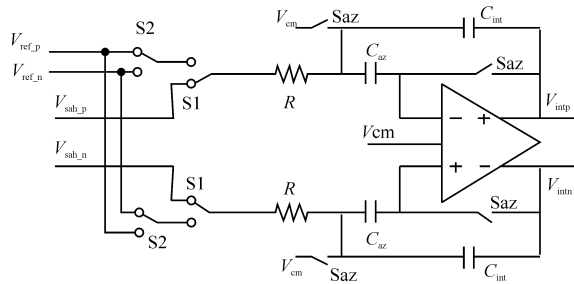


图6 带校准的电阻电容积分器

由积分型 ADC 的特点, 积分器运放的轨电压将限制积分器的输出, 在高分辨率下, 正积分时长将成幂指数增长, 长时间输入下, 积分器输出可能会被限制到一个最大值而不会改变, 为了防止这种输出不变的饱和情况的发生, 需要合理选择积分电阻电容的大小. 极限情况下保证最大输入 V_{inmax} 情况下不会饱和, 得到一个电阻电容乘积 RC 值. RC 值固定, 电容 C 取大, 将会消耗更多面积, 不利于片上集成, 因此需要电阻电容值的折衷.

4.3 比较器

传统积分型 ADC 中使用静态比较器, 是高增益运放的开环应用与锁存器的结合, 虽然技术成熟, 但存在着功耗大、速度慢等缺点, 并不适合这种无线供电低功耗应用场景. 另外, 传统静态比较器的相应曲线本质上与运放的相似, 是一个负指数函数^[4], 对于低幅值的信号, 会存在着响应时间过长甚至放大不够的情况. 本文选择动态比较器, 在一个时钟周期内只有一半周期在进行比较, 以降低功耗, 其具体结构如图 7.

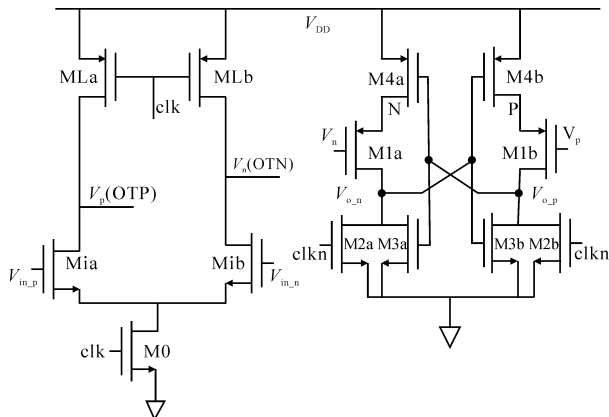


图7 本文的动态比较器

在正反馈锁存比较器前增加一级前置放大器, 用于提升比较速度并减少动态比较器存在的回踢噪声影响, 同时, 为了进一步降低功耗, 前置放大器同样采用时钟控制. 虽然动态比较器本身就能相对降低功耗, 但是对于这种低速的积分型 ADC, 一次转换周期相对较长, 如果比较器时钟一直维持, 仍然会消耗较大的功耗. 本文中由数字部分产生的使能信号控制辅助比较器的时钟 clk_c , 在采样保持输出稳定后打开, 之后在较短但足够的时间后置为零, 从而使辅助比较器进入休眠模式, 而其结果仍然锁存得到保持. 工作阶段, 先是固定时长的正积分, int_sat 为高电平, 此时主比较器的时钟 clk_mc 仍保持低电平, 主比较器不工作. 当正积分计数达到预定值后, int_sat 变为低电平, clk_mc 开始跟随主时钟 clk , 主比较器开始工作, 当反积分结束后, 控制信号再次将 clk_mc 置为低电平 (对于不同大小的输入信号, clk_mc 的有效时长随之变动). 在一个转换周期内, 主比较器的工作阶段最多为一半也就是 4 096 cycles (和正积分固定时长相同), 从而很大程度降低了功耗. 比较器时钟的控制时序如图 8, 第三个信号为 int_sat , 后两者为 clk_c 和 clk_mc (展示了当输入最大时的情况). 同时, 在正积分阶段几乎不会有主时钟

带来的回踢从而最大程度减少回踢噪声对积分器输出的影响,保证了对输入电压积分的正确性。

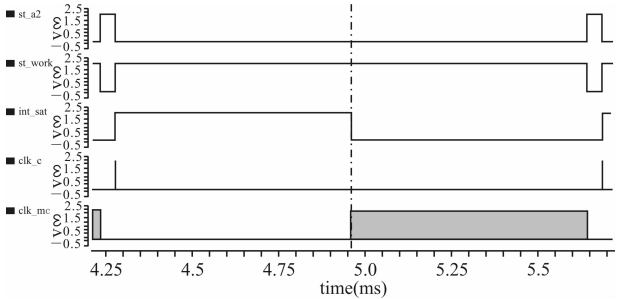


图 8 动态比较器的时钟时序

比较器的工作过程如下,在重置相位,时钟 clk 为低,clk_n 为高,ML_a、ML_b 管子导通, V_p 和 V_n 电压拉至 V_{DD} ,M2_a、M2_b 导通, $V_{o,n}$ 和 $V_{o,p}$ 被拉至 gnd. 在比较相位,clk 为高,clk_n 为低,M1_a、M1_b 导通,开始放电,M2_a、M2_b 关断,因为输入信号大小的差异,输入管漏端电压下降不同.若 $V_{in,p} < V_{in,n}$,则 V_n 比 V_p 下降快,M1_a 先导通, $V_{o,n}$ 电压拉高,在这样的互耦结构中, $V_{o,p}$ 将被拉低.另外,将输出接入到或非门构成的 RS latch,从而比较器输出为低。

5 仿真结果

在本设计中,采用 2 V 电源供电,仿真测试时的输入为 $-2\text{ V} \sim 2\text{ V}$. 其中的反积分参考电压 $V_{ref,p}$ 为 2V, $V_{ref,n}$ 为 0V,在一次转换中模拟部分总电流为 $3.5\text{ }\mu\text{A}$,动态比较器部分平均电流为 $0.5\text{ }\mu\text{A}$,其他数字模块消耗电流 $2\text{ }\mu\text{A}$. 令时钟周期为一个 cycle,一个转换周期包括了 256cycles 的调零阶段以及 8448cycles 的工作阶段(包含了积分和反积分),在 6 MHz 的时钟下,采样率为 689.3 S/s,相比常见心电数据库最大的 350 Hz 大,满足需求。

将 ADC 转换的数字码通过理想的 DAC 进行处理得到输出 outDAC,其局部如图 9 所示,采样值 (V_{sah} ,点虚线)与数字码通过 DAC 输出的值(outDAC,实线)对比,其中水平方向的间隔代表着一次转换周期,可以看到 DAC 输出和每次采样值的差值都在 1LSB 左右。

对上图中 256 个采样点的 outDAC 进行 FFT 分析,其结果如图 10,有效位数达到了 11.8 bits.

表 1 总结了本文 ADC 的性能,并与其他 Dual Slope ADC 进行了对比. 同样工艺下的其他 ADC 的频率更高但是功耗更大. 相比其他先进工艺的 ADC 的结果,本文的 ADC 采样率低,分辨率高,功耗特别是 FoM 方面也有一定优势。

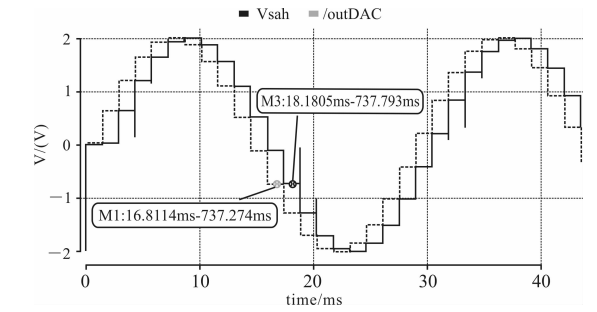


图 9 ADC 采样值与数字码的 outDAC 的比较

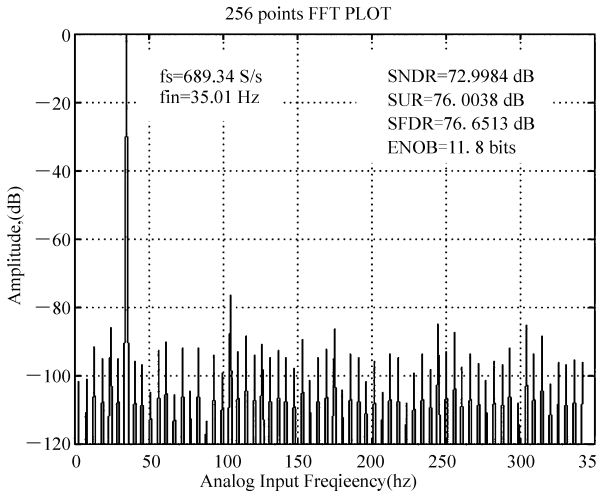


图 10 ADC 性能仿真

表 1 与其他 Dual Slope ADC 的性能比较

	[2]	[5]	[6]	[7]	[8]	[9]	本文
工艺(μm)	0.13	0.35	0.18	0.35	0.13	0.25	0.35
工作电压(V)	1.2	2	3.3	3.3	1.2	2.5	2
采样率(KS/s)	15	0.4	3.2	12	10	10	0.689
分辨率(bits)	8	10	12	11	N/A	10	12
ENOB(bits)	7	9.8	10.42	8.1	9.3	9	11.8
功耗(W)	$<44\mu$	37μ	4390μ	19.8m	42μ	10m	12μ
FOM($\text{pJ}/2^N f_s$)	14.3	90.3	334.9	805	4.1	976	4.25

6 结束语

本文介绍了一种完全片上集成的电阻电容积分式双斜坡积分 ADC,详细说明了电路结构与工作过程. 通过全差分结构以及自校准技术的使用来减少失调的影响,并通过合理控制动态比较器的时钟,相比传统比较器以及整个转换周期全时工作,其功耗降低了 50%. 使用两个反积分参考电压保证了测量范围. 本文的 ADC 在在 $0.35\text{ }\mu\text{m}$ CMOS 工艺下实现,2V 供电下达到了 12 位的精度,并且有 μW 级的功耗. 和同样的用于生物电信号采集的双斜坡

ADC^[5]相比,在分辨率以及功耗方面都有了很大的提升.而实际性能需要后续流片测试进一步验证.

参考文献:

- [1] DEEPU C J, XU X Y, WONG D L T, et al. A 2.3 μ W ECG-On-Chip for Wireless Wearable Sensors [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65(10): 1385-1389.
- [2] SHAN H, RAUSCH S, JOU A, et al. A low power programmable dual-slope ADC for single-chip RFID sensor nodes[C]. 2017 IEEE 17th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), Phoenix, AZ, 2017: 118-120.
- [3] FANG X, SRINIVASAN V, WILLS J, et al. CMOS 12 bits 50kS/s micropower SAR and dual-slope hybrid ADC[C]. 2009 52nd IEEE International Midwest Symposium on Circuits and Systems, Cancun, 2009: 180-183.
- [4] BAKER R J. CMOS Circuit Design, Layout, and Simulation[M]. Wiley-IEEE Press, 2011.
- [5] 程天元, 吴春东, 王国兴. 一种全集成交替型双积分 ADC 的设计[J]. 微电子学与计算机, 2018, 35(10): 62-66.
- [6] HONG H, LIN L, LIU C. Design of an on-scribe-line 12-bit dual-slope ADC for wafer acceptance test[C].

2017 International Conference on Applied System Innovation (ICASI), Sapporo, 2017: 1751-1754.

- [7] SHETTY D, RENUKASWAMY P T. A 11-Bit Integrating Analog to Digital Converter[C]. 2016 Austrochip Workshop on Microelectronics (Austrochip), Villach, 2016: 19-23.
- [8] JAFARI H, SOLEYMANI L, GENOV R. 16-Channel CMOS Impedance Spectroscopy DNA Analyzer with Dual-Slope Multiplying ADCs[J]. IEEE transactions on biomedical circuits and systems, 2012, 6(5): 468-478.
- [9] LEVINE P M, GONG P, LEVICKY R, et al. Active CMOS sensor array for electrochemical biomolecular detection[J]. IEEE Journal of Solid-State Circuits, 2008, 43(8): 1859-1871.

作者简介:

谢向阳 男, (1993-), 硕士研究生. 研究方向为数模混合电路设计. E-mail: xiexiangyang0013@live.com

陈铭易 男, (1982-), 博士, 助理教授. 研究方向为混合信号集成电路设计, 包含生物医疗电子、微能量管理、高精度数据转换器等.

王国兴 男, (1975-), 博士, 教授. 研究方向为生物医疗电子、集成电路设计.